

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 60-138434

(43)Date of publication of application : 23.07.1985

(51)Int.Cl.

G01L 9/12

(21)Application number : 58-244783

(71)Applicant : FUJI ELECTRIC CO LTD

(22)Date of filing : 27.12.1983

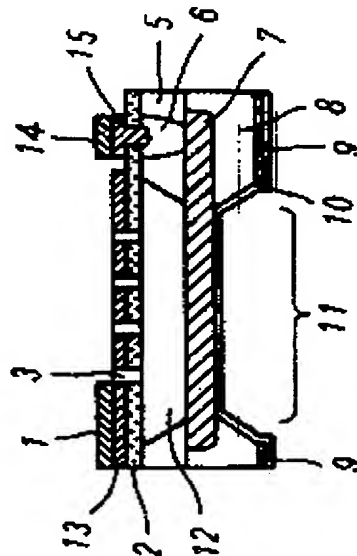
(72)Inventor : NAKAMURA KIMIHIRO  
TAMAI MITSURU

## (54) MANUFACTURE OF SEMICONDUCTOR ELECTROSTATIC CAPACITY TYPE PRESSURE SENSOR

## (57)Abstract:

PURPOSE: To improve a temperature characteristic by a difference of a coefficient of thermal expansion, and also to prevent the breakdown of an electrode part at the time of forming a cavity by forming the electrode part for forming a capacitance together with a diaphragm part, by a P+ low resistance Si layer.

CONSTITUTION: A P+ layer 7 is formed to a thickness of a diaphragm on an Si single crystal substrate 8, and thereafter, an epitaxial layer 5 is grown to a thickness corresponding to an air-gap of a capacitance. Subsequently, a low resistance buried layer 6 is formed, and insulating layers 2, 9 are formed. Also, an opening is formed in the insulating layer 2 in order to make an Si electrode lead 15, and thereafter, a P+ low resistance Si layer 13 is formed, and an opening 3 is made so as to pass through this layer 13 and the insulating layer 2. Thereafter, metallic layers 1, 14 are formed, and a surface stabilizing layer 10 is formed on a diaphragm part 11.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the  
examiner's decision of rejection or application  
converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of  
rejection][Date of requesting appeal against examiner's decision  
of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑫ 特許公報 (B 2)

平3-80254

⑪ Int. Cl.<sup>4</sup>  
G 01 L 9/12

識別記号 庁内整理番号  
9009-2F

⑬公告 平成3年(1991)12月24日

発明の数 2 (全5頁)

⑭発明の名称 半導体形静電容量式圧力センサの製造方法

⑮特 願 昭58-244783

⑯公 開 昭60-138434

⑰出 願 昭58(1983)12月27日

⑱昭60(1985)7月23日

⑲発 明 者 中 村 公 弘 神奈川県川崎市川崎区田辺新田1番1号 富士電機製造株式会社内

⑳発 明 者 玉 井 満 神奈川県川崎市川崎区田辺新田1番1号 富士電機製造株式会社内

㉑出 願 人 富士電機株式会社 神奈川県川崎市川崎区田辺新田1番1号

㉒代 理 人 弁理士 並木 昭夫 外1名

㉓審 査 官 小 林 昭 寛

㉔参 考 文 献 特開 昭57-64978 (J P, A)

1

㉕特許請求の範囲

1 Si単結晶基板8の一方の面のほぼ全域あるいは全域にわたってP<sup>+</sup>拡散層7を形成する工程と、  
前記P<sup>+</sup>拡散層7の上に所定厚さのSiエピタキシャル層5を形成する工程と、

前記エピタキシャル層5の一部に前記P<sup>+</sup>拡散層7とつながる低抵抗埋込み層6を形成する工程と、

前記エピタキシャル層5の表面全域に薄膜状の絶縁層2を形成する工程と、

前記エピタキシャル層5の表面に形成された絶縁層2上に該絶縁層2とほぼ同じ熱膨張係数を有する薄膜状のP<sup>+</sup>低抵抗Si層13を形成するとともに、前記低抵抗埋込み層6とつながるSi電極リード15を形成する工程と、

前記P<sup>+</sup>低抵抗Si層13の一部および前記Si電極リード15にそれぞれ金属層1、14を形成する工程と、

前記P<sup>+</sup>低抵抗Si層13および絶縁層2を貫通する開口3を形成する工程と、

前記開口3を通じて前記エピタキシャル層5のエッチングを行うことにより空洞12を形成する工程とを含み、

前記Si単結晶基板8の他方の面側に形成される

2

ダイヤフラム部11と前記P<sup>+</sup>低抵抗Si層13との間に測定用キャパシタンスを形成するようにしたことを特徴とする半導体形静電容量式圧力センサの製造方法。

5 2 Si単結晶基板8の一方の面のほぼ全域にわたってP<sup>+</sup>拡散層7を形成する工程と、

前記P<sup>+</sup>拡散層7の上の一部領域を除いて所定厚さのSiエピタキシャル層5を形成する工程と、

10 前記エピタキシャル層5の表面全域に薄膜状の絶縁層2を形成する工程と、

前記エピタキシャル層5の表面に形成された絶縁層2上に該絶縁層2とほぼ同じ熱膨張係数を有する薄膜状のP<sup>+</sup>低抵抗Si層13を形成する工程と、

15 前記P<sup>+</sup>低抵抗Si層13の一部および前記P<sup>+</sup>拡散層7にそれぞれ金属層1、4を形成する工程と、

前記P<sup>+</sup>低抵抗Si層13および絶縁層2を貫通する開口3を形成する工程と、

20 前記開口3を通じて前記エピタキシャル層5のエッチングを行うことにより空洞12を形成する工程とを含み、

前記Si単結晶基板8の他方の面側に形成されるダイヤフラム部11と前記P<sup>+</sup>低抵抗Si層13と

の間に測定用キャパシタンスを形成するようにしたことを特徴とする半導体形静電容量式圧力センサの製造方法。

#### 発明の詳細な説明

〔発明の属する技術分野〕

この発明は、測定すべき圧力変化を静電容量的に検出する半導体センサの製造方法に関する。

〔従来技術とその問題点〕

第1図はかかるセンサの従来例を示す断面図、第2図はダイアフラム部の形成方法を説明するための説明図である。第1図において、1は金属層、2、9は絶縁層、3は開口、4は金属電極リード、5はSiエピタキシャル層、6は低抵抗埋込み層、7はP<sup>+</sup>層、8はSi単結晶基板、10は表面安定化層、11はダイアフラム部、12は空洞である。

Si単結晶基板8は主表面が(100)面であり、これにP<sup>+</sup>拡散層(1μm当たりの濃度が10<sup>20</sup>程度)7が形成されていて、ダイアフラム部11および空洞12を形成する際のストッパ層となる。基板8の一方の面には窒化シリコン(Si<sub>3</sub>N<sub>4</sub>)等の絶縁層9が形成され、この絶縁層9と基板8の薄肉部との表面には、ガラス等の表面安定化層10が形成される。基板8の他面にはエピタキシャル層5が形成され、その一部はくりぬかれて空洞12となっており、さらに他の部分には、P<sup>+</sup>拡散層7と金属電極部4との接触を図るための低抵抗埋込み層6が形成されている。また、Siエピタキシャル層5の上には、絶縁層9と同様にSi<sub>3</sub>N<sub>4</sub>等よりなる絶縁層2が形成され、さらにその上には金属層1が形成される。こうして、金属層1とダイアフラム部11との間にキャパシタンスが形成され、測定圧力にてダイアフラム部11が変位すると、これに応じてキャパシタンスが変化するので、圧力を容量の変化として測定することができる。

ここで、金属層1と絶縁層2とを貫通する開口3は、アルカリ系の異方性エッチングによって空洞12を形成するときに、エッチング液を供給するためのものとして形成される。つまり、開口3を通してSiエピタキシャル層5の異方性エッチング(KOH系やエチレンジアミン・ピロカテコール系等が使用される。)を行なうと、先ず開口3付近からエッチングが始まり、徐々にエッチングが進む。そして、第2図に示されるように、幾何

学的形状によって決まる(111)面が表われると、そこでエッチングは殆んど進行しなくなる。これは、異方性エッチング液が(111)面を侵し難いからであり、したがって、エピタキシャル層5に現われる、エッチングされた面は(111)面と等価な面となる。このように、第2図における横方向のエッチングは(111)面によって抑制されるのに対し、縦方向は横方向のエッチングが抑制された後も進行するが、最終的にはP<sup>+</sup>層7によって抑制される。Si単結晶基板8のエッチングもこれと同様にして行なわれ、その結果、Si単結晶基板8に表われる面は(111)面と等価であり、これによってエッチングの進行が制限される。なお、ダイアフラム部11の形状は、開口3と絶縁層9の開口との形状によって決まる。

しかしながら、かかる構造のセンサには、次のような欠点がある。すなわち、上述の如く、異方性化学エッチング液を用いて空洞12を形成する際、発泡を伴う反応が生じて金属層1および絶縁層2の一方または双方が破壊されたり、製造過程の取り扱い中に破壊されるため、歩留まりが悪くなるという点である。その原因は、金属層1および絶縁層2の厚さが1~2μm程度に非常に薄いためである。このような欠点を除去すべく絶縁層2を厚くすると、測定容量に対する直列誤差分が増加するため、測定誤差が犠牲となる一方、金属層1を厚くすれば、金属層1、絶縁層2およびSiエピタキシャル層5間の熱膨張係数の差のために、温度変化によって絶縁層2に割れが生じたり、各層間の熱応力によってダイアフラム部の圧力-変位特性が大きく変化するという問題が生じる。

〔発明の目的〕

この発明はこのような事情のもとになされたもので、歩留まりが良好で、かつ温度特性の優れた半導体形静電容量式圧力センサの製造方法を提供することを目的とする。

〔発明の要点〕

その要点は、ダイアフラム部とともにキャパシタンスを形成する電極部をP<sup>+</sup>低抵抗Si層により形成することにより、熱膨張係数の差による温度特性を改善するとともに、空洞形成時のアルカリ系異方性化学エッチングに伴う発泡作用や製造過程の取り扱いによる電極部の破壊を防いで歩留ま

りの向上を図るようにしたものである。

〔発明の実施例〕

第3図はこの発明の実施例を説明するためのセンサ断面図である。同図において、13はP<sup>+</sup>低抵抗Si電極層、14は電極層、15はSi電極リードであり、その他は第1図と同様である。

以下、同図を参照してこの発明の実施例を説明する。

表面の結晶学的方向が(100)面であるNまたはp型のSi単結晶基板8に、良く知られているイオン打ち込み法や熱拡散法等によってP<sup>+</sup>層(10<sup>20</sup> cm<sup>-3</sup>程度)7をダイアフラムの厚さにした後、CVD(Chemical Vapor Deposition; 化学反応を利用した薄膜の形成方法)法等によってエピタキシャル層5をキャパシタンスの空際に相当する厚さまで成長させる。なお、この層は、低抵抗とはせずにアルカリ系異方性化学エッチングを受け易くしておくものとする。次に、P<sup>+</sup>層7と導通を図るべく、低抵抗埋込み層6を作る。こうして作られた集積体を挟むように、Si<sub>3</sub>N<sub>4</sub>、SiO<sub>2</sub>(酸化シリコン)等の絶縁層2、9を0.5~1μm程度形成する。Si電極リード15を作るために絶縁層に所定の開口を形成した後、P<sup>+</sup>低抵抗Si層(10<sup>20</sup> cm<sup>-3</sup>程度)13を数+μm形成し、低抵抗Si電極層13と絶縁層2を貫通するように開口3をあける。この場合、P<sup>+</sup>低抵抗層13を数+μmの厚さにし得るのは、熱膨張係数が互いに殆んど同じだからである。なお、低抵抗Si電極層13の開口には、HF・HNO<sub>3</sub>系のエッチング液が用いられる。また、このとき、ダイアフラム部を形成するために、絶縁層9を残すように、エッチングが行なわれる。しかる後、これをKOH系やエチレンジアミンとピロカテコール系の異方性エッチング液に浸すと、抵抗の高いSi層(ここでは、エピタキシャル層5と単結晶基板8)のみがエッチング除去される。つまり、この異方性エッチング液は、P<sup>+</sup>層を殆んどエッチングしない性質があるため、充分な時間が経過すれば、第3図の如く、P<sup>+</sup>層を残してダイアフラムが形成される。その後、金線やアルミニウム線をボンディングするための金属層1および14をスパッタリング等によって形成する一方、ダイアフラム部11には表面安定化層10を形成して、一連の工程を終了する。

次に、第6図および第7図に基づいて、本実施例の測定原理、すなわちダイアフラム部11に加わる圧力の測定がどのようにして行われるのかを詳細に説明する。

5 圧力の測定にあたっては、まず、第6図に示したように、本実施例のダイアフラム部11の側に圧力導入口16aを有するシリコンあるいはガラス材料等からなる基板16を接合するとともに、この基板16に圧力導入管17をロー付け等の手段により接合する。これにより、所望の測定点における圧力がダイアフラム部11に加わることになる。つまり、ダイアフラム部11の変形(導入圧力)に応じて、空洞12の容積が変化する。

そして、本実施例においては、第7図に示したように、絶縁層2と空洞12とに形成される2個のコンデンサの総合静電容量に対応する信号出力を、低抵抗Si電極層13の一部に設けられた金属層1と、低抵抗埋込み層6と導通する金属層14とから取り出す構成となっている。

15 なお、絶縁層2の部分に形成されるコンデンサの静電容量Ccは絶縁層2の面積(S)とその厚さ(t)で決まる(CcはS/tに比例する)一定値をとるものであり、空洞12の部分に形成されるコンデンサの静電容量Cxはダイアフラム部11の変形に応じて変化するものである。

したがって、上述の金属層1と金属層14とから取り出される総合静電容量Csは次の式で表わされる。

$$30 \quad C_s = \frac{C_s \cdot C_x}{C_c + C_x} = \frac{1}{\frac{1}{C_c} + \frac{1}{C_x}}$$

この式からも明らかなように、絶縁層2の部分に形成されるコンデンサの静電容量Ccが、測定精度に与える影響は大きいので、歩留り向上のためといえども絶縁層2の厚さを大きくすることは好ましくない。

そこで、本実施例においては、絶縁層2の上面に低抵抗Si電極層13を形成することにより、有害な絶縁層2の部分に形成される静電容量の値を増加させることなく(絶縁層2の厚みを増大することなく)、電極部分の強度を高めるようにしている。したがって、空洞12形成時のエッチングに伴う発泡作用や製造過程の取扱いによる電極部分の破壊を防いで歩留りの向上を図ることができ

る。

また、第1図に示した従来装置にあつては、絶縁層2と金属層1との熱膨張係数が異なるため、周囲温度の変化が激しい状況では、電極部分がバイメタルのような挙動を示し、圧力の変化がないにもかかわらず空洞12の容量が変化してしまう恐れがあるが、本実施例によれば、低抵抗Si電極層13の熱膨張係数が絶縁層2のそれとほぼ等しいので、金属電極層を絶縁層の全域に形成する従来装置に比べて、温度特性の向上を図ることができる。

第4図はこの発明の他の実施例を説明するためのセンサ断面図である。これは、第3図における金属層1と14のストレイ容量の特性改善を図るべく、上述の如き低抵抗埋込層を省略し、電極部4をP<sup>+</sup>層7に直接形成するようにしたもので、その他は第3図と同様である。

第5図はこの発明のさらに別の実施例を説明するためのセンサ断面図である。

すなわち、以上の実施例では、P<sup>+</sup>層をイオン打ち込みや熱拡散等の方法により形成しようとしたが、この実施例は該P<sup>+</sup>層7をSi単結晶基板8の全面にわたりCVD法等によりエピタキシャル成長させた場合であり、こうすることにより、ダイアフラムの厚さを従来よりも一層正確に制御することができるようにしたものである。なお、その他の点は、第3、4図と同様である。

以上の実施例では、電極間ギャップ（空洞12）の形成とダイアフラム部11の形成とをアルカリ系異方性化学エッチングにて同時に行なうようにしているが、Si単結晶基板8にP<sup>+</sup>層7を拡散またはエピタキシャル法によつて形成し、他の異方性または等方性化学エッチングにて所望形状のダイアフラム部を形成し、その後に、Siエピタ

キシャル層5、絶縁層2の成長等を上述の如く進めるようにしても良いものである。なお、この場合、Si単結晶基板8上の絶縁層9と安定化膜10は無くても差つかえない。

#### 〔発明の効果〕

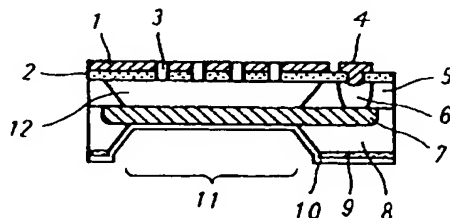
この発明によれば、金属電極層のかわりにSiのP<sup>+</sup>低抵抗層を所定厚さ（数 $\mu m$ ）に形成するようにしたため、従来のものに比べて電極部の強度が上がり、その結果、前述の如き発泡現象に伴う破壊が防止され、歩留まりが向上するばかりでなく、その取り扱いが容易になるという効果がもたらされるものである。また、電極部にSiの低抵抗層を用いているので、金属電極と比べて熱膨張差によつて生じる温度特性の劣化が防止される利点を有するものである。

#### 図面の簡単な説明

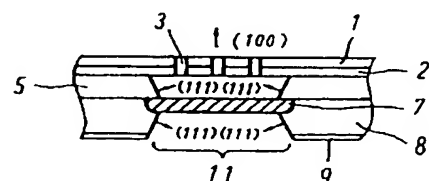
第1図は半導体形静電容量式圧力センサの従来例を示す構成図、第2図はダイアフラム部の形成方法を説明するための説明図、第3図はこの発明の実施例を説明するためのセンサ断面図、第4図はこの発明の他の実施例を説明するためのセンサ断面図、第5図はこの発明のさらに他の実施例を説明するためのセンサ断面図、第6図は第3図に示した実施例の補助説明図、第7図は第3図に示した実施例の測定原理を説明するための図である。

符号説明、1、14……金属層、2、9……絶縁層、3……開口、4……金属電極リード、5……Siエピタキシャル層、6……低抵抗埋込層、7……P<sup>+</sup>層、8……Si単結晶基板、10……表面安定化膜、11……ダイアフラム部、12……空洞、13……Si低抵抗電極層、15……Si電極リード。

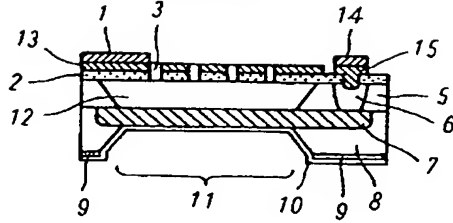
第1図



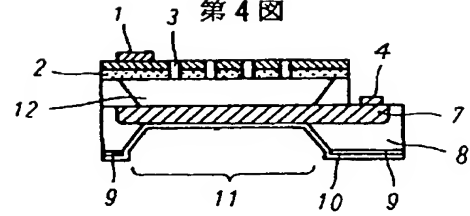
第2図



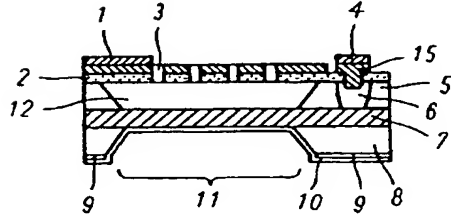
第 3 図



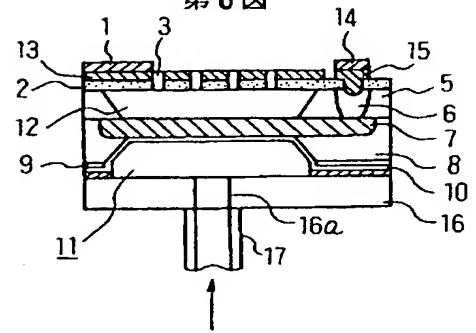
第 4 図



第 5 図



第 6 図



第 7 図

